

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-283794

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H01L 33/00
 B41J 2/44
 B41J 2/45
 B41J 2/455
 H01L 29/74

(21)Application number : 08-085236

(22)Date of filing : 08.04.1996

(71)Applicant : NIPPON SHEET GLASS CO LTD

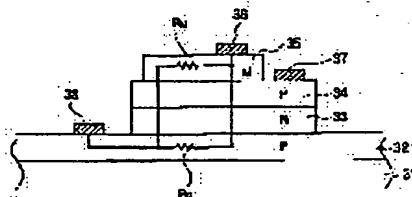
(72)Inventor : KUSUDA YUKIHISA
 OTSUKA SHUNSUKE
 ONO SEIJI

(54) SURFACE LIGHT-EMITTING ELEMENT AND SELF-SCANNING TYPE LIGHT-EMITTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a surface light-emitting diode and further to heighten external light-emitting efficiency by making a sheet resistance value of a second semiconductor layer less than a sheet resistance value of a first semiconductor layer.

SOLUTION: A P-type semiconductor layer 32, an N-type semiconductor layer 33, a P-type semiconductor layer 34 and an N-type semiconductor layer 35 consisting of GaAs are by turns laminated on an insulating GaAs substrate. A cathode electrode 36 is provided on the N-type layer 35, a gate electrode 37 is provided on the P-type layer 34 and an anode electrode 38 is provided on the P-type layer 32. In consideration of a sheet resistance circuit from directly under the cathode electrode 36 to the anode electrode 38 and regarding that a sheet resistance value of the N-type layer 35 is R_n and that a sheet resistance value of the P-layer 32 is R_p , the sheet resistance values R_n , R_p are defined by the sizes and the impurity concentration of the N-type semiconductor layer 35 and the P-type semiconductor layer 32. Accordingly, the sheet resistance value R_n is made smaller than the sheet resistance value R_p and a current is concentrated to an end so as to raise an external light-emitting efficiency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application converted
 registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-283794

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	33/00		H 0 1 L 33/00	A
B 4 1 J	2/44		B 4 1 J 3/21	L
	2/45		H 0 1 L 29/74	E
	2/455			
H 0 1 L	29/74			

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平8-85236

(22) 出願日 平成8年(1996)4月8日

(71) 出願人 000004008

日本板硝子株式会社

大阪府大阪市中央区道修町3丁目5番11号

(72) 発明者 楠田 幸久

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

(72) 発明者 大塚 俊介

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

(72) 発明者 大野 誠治

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

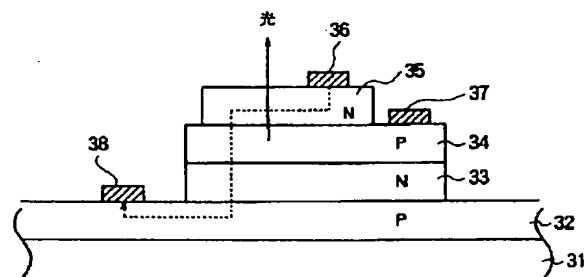
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 面発光素子および自己走査型発光装置

(57) 【要約】

【課題】 外部発光効率の良い面発光素子を提供する。

【解決手段】 絶縁基板31上に設けられたP形の半導体層32と、半導体層32上にメサ構造により設けられた、N形の半導体層33、P形の半導体層34と、N形の半導体層35と、半導体層32上に設けられたアノード電極38と、半導体層34上に設けられたゲート電極37と、半導体層35上に設けられたカソード電極36とを備え、N形半導体層35のシート抵抗値を、P形半導体層32のシート抵抗値以下とした。



【特許請求の範囲】

【請求項1】絶縁基板上に設けられた第1導電形の第1の半導体層と、第1の半導体層上にメサ構造により設けられた第2導電形の第2の半導体層と、第1の半導体層上に設けられた第1の電極と、第2の半導体層上に設けられた第2の電極とを備える面発光ダイオードにおいて、第2の半導体層のシート抵抗値を、第1の半導体層のシート抵抗値以下としたことを特徴とする面発光ダイオード。

【請求項2】第1導電形はP形であり、第2導電形はN形である、請求項1記載の面発光ダイオード。

【請求項3】絶縁基板上に設けられた第1導電形の第1の半導体層と、第1の半導体層上にメサ構造により設けられた、第2導電形の第2の半導体層、第1導電形の第3の半導体層、第2導電形の第4の半導体層と、第1の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極と、第4の半導体層上に設けられた第3の電極とを備える面発光サイリスタにおいて、

第4の半導体層のシート抵抗値を、第1の半導体層のシート抵抗値以下としたことを特徴とする面発光サイリスタ。

【請求項4】第1導電形はP形であり、第2導電形はN形である、請求項3記載の面発光サイリスタ。

【請求項5】スイッチング動作のためのしきい電圧またはしきい電流の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の前記制御電極をその近傍に位置する少なくとも1つのスイッチ素子の制御電極に、接続用抵抗または電氣的に一方方向性を有する電気素子を介して接続するとともに、各スイッチ素子の制御電極に電源ラインを負荷抵抗を介して接続し、かつ各スイッチ素子にクロックパルスラインを接続して形成したスイッチ素子アレイと、

発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、

前記発光素子アレイの各制御電極を前記スイッチ素子の制御電極と電氣的手段にて接続し、各発光素子に発光のための電流を供給する配線を設けた自己走査型発光装置において、

前記発光素子およびスイッチ素子は、それぞれ、請求項3または4記載の面発光サイリスタよりなることを特徴とする自己走査型発光装置。

【請求項6】前記スイッチ素子アレイと前記発光素子アレイとは、略平行に、かつ略直線状に配列され、前記各スイッチ素子の第1の電極および前記各発光素子の第1の電極は、前記スイッチ素子アレイと前記発光素子アレイとの間に設けられた共通の1本の接地配線よりなる、請求項5記載の自己走査型発光装置。

【請求項7】前記電流供給配線に接続される第1のボンディングパッドと、前記接地配線に接続される第2のボンディングパッドとを備え、前記第1および第2のボンディングパッドは、前記発光素子アレイの配列方向両端に設けられている、請求項6記載の自己走査型発光装置。

【請求項8】発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列し、各発光素子の前記制御電極をその近傍に位置する少なくとも1つの発光素子の制御電極に、接続用抵抗または電氣的に一方方向性を有する電気素子を介して接続するとともに、各発光素子に電源ラインを負荷抵抗を介して前記制御電極に接続し、かつ各発光素子にクロックラインを接続して形成した自己走査型発光装置において、前記発光素子は、請求項3または4記載の面発光サイリスタよりなることを特徴とする自己走査型発光装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、面発光ダイオード、面発光サイリスタのような面発光素子の外部発光効率を高めるための構造、およびこのような面発光素子を用いた自己走査型発光装置に関するものである。

【0002】

【従来の技術】従来、面発光素子の代表的なものとして発光ダイオードおよびレーザダイオードが知られている。発光ダイオードは化合物半導体（GaAs、GaP、AlGaAs等）のPN接合またはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入し、その再結合の過程で生じる発光現象を利用するものである。

【0003】またレーザダイオードは、この発光ダイオードの内部に導波路を設けた構造となっている。あるしきい電流以上の電流を流すと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍（利得）が発生し、へき開面などを利用した平行な反射鏡により発生した光が再び活性層に帰還されてレーザ発振が起こる。そして導波路の端面からレーザ光が出射されていくものである。

【0004】これら発光ダイオード、レーザダイオードと同じ発光メカニズムを有する発光素子として、発光機能を有する負性抵抗素子（発光サイリスタ、レーザサイリスタ等）も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている。これらについては、例えば青木昌治編著「発光ダイオード」工業調査会、167～169頁に記載されている。この発光機能を有する負性抵抗素子（ここでは発光サイリスタと呼ぶ）の基本構造は、N形GaAs基板上にPNPN構造を形成したもので、サイリスタと全く同じ構造である。電流-電圧特性もサイリスタと全く同じS字

形負性抵抗の特性を示す。

【0005】また本出願人は、面発光型のサイリスタ（以下、面発光サイリスタという）を用いた自己走査型発光装置について、既に多くの出願において開示している。例えば、特開平2-263668号公報「発光装置」、特開平2-212170号公報「発光素子アレイおよびその駆動方法」、特開平3-55885号公報「発光・受光モジュール」、特開平3-200364号公報「光信号の読み取り方法及びこれに使用するスイッチ素子アレイ」、特開平4-23367号公報「発光装置」、特開平4-296579号公報「発光素子アレイの駆動方法」である。

【0006】多数個の発光素子を同一基板上に集積した発光素子アレイはその駆動用ICと組み合わせて光プリンタ等の書き込み用光源として利用されている。本発明者らは発光素子アレイの構成要素としてPNPN構造を持つ面発光サイリスタに注目し、発光点の自己走査が実現できることを既に特許出願し、光プリンタ用光源として実装上簡便となること、発光素子ピッチを細かくできること、コンパクトな自己走査型発光装置を作製できること等を示した。

【0007】さらに本発明者らは、スイッチ素子アレイをシフトレジスタとして、発光素子アレイと分離した構造の自己走査型発光装置を提案している（特開平2-263668号公報）。

【0008】

【発明が解決しようとする課題】面発光ダイオード、面発光サイリスタのような面発光素子においては、電流を注入する電極の真下に発光中心が位置し、電極自身が遮光層となって外部発光効率が良くないという問題がある。この問題を面発光サイリスタを例に説明する。

【0009】図1(a)、(b)は、メサ型のPNPN構造の従来の面発光サイリスタの断面図および平面図を示す。この面発光サイリスタは、N形半導体基板1上に形成されたN形半導体層24、P形半導体層23、N形半導体層22、P形半導体層21と、P形半導体層21にオーミック接触するように形成されたアノード電極40とを備えている。図1(a)の構造上には、図示しないが全体に絶縁被膜（光を透過する絶縁材料よりなる）が設けられ、その上にAl配線140が設けられている。絶縁被膜には、電極40とAl配線140とを電気的に接続するためのコンタクトホールCが開けられている。また、N形半導体基板1の裏面には、カソード電極（図示せず）が設けられている。

【0010】このようなPNPN構造の面発光サイリスタにおいては、アノード電極40から流れる電流は、図1(a)に矢印で示すように、電極40の真下に向かって主に流れる。したがってゲート層22、23での発光中心は電極40の真下にある。このように発光中心が電極40の真下にあるため、光が電極40自身さらにはA

l配線140によって遮られる結果、外部発光効率が良くない。

【0011】また電極40に近い所では、注入電流が大きいため発光量は大きい、電極40から遠ざかるに従って、注入電流が小さくなるため発光量は小さくなる。これは、外部発光効率を低下させる要因の1つともなっている。

【0012】一方、特開平6-140666号公報「モノリシック発光ダイオードアレイ」には、外部量子効率の高い、すなわち外部発光効率の良い面発光ダイオードが提案されている。これによると、図2に示すように、絶縁形GaAs基板10上にP形AlGaAs活性層11およびN形AlGaAsクラッド層12が設けられ、クラッド層12上にカソード電極（個別コンタクト電極）13が、活性層11上にアノード電極（共通コンタクト電極）14が設けられている。

【0013】アノード電極14が活性層11上に設けられているため、カソード電極13から注入された電子は、点線矢印で示すようにアノード電極14に向かって流れる。したがって、発光中心がカソード電極13の真下からずれる結果、カソード電極13に妨げられることなく光を取り出すことができる。

【0014】しかし、この従来技術は、活性層の表面に共通コンタクト電極を設けるという基本思想を開示するのみであって、外部発光効率を高めるという点については、なんら示唆するところがない。

【0015】この発明の目的は、上記面発光ダイオードを改良し、さらに外部発光効率を高めることにある。

【0016】この発明の他の目的は、外部発光効率を高めた面発光サイリスタを提供することにある。

【0017】この発明のさらに他の目的は、上記面発光サイリスタを用いた自己走査型発光装置を提供することにある。

【0018】

【課題を解決するための手段】本発明は、絶縁基板上に設けられた第1導電形の第1の半導体層と、第1の半導体層上にメサ構造により設けられた第2導電形の第2の半導体層と、第1の半導体層上に設けられた第1の電極と、第2の半導体層上に設けられた第2の電極とを備える面発光ダイオードにおいて、第2の半導体層のシート抵抗値を、第1の半導体層のシート抵抗値以下としたことを特徴とする。

【0019】また本発明は、絶縁基板上に設けられた第1導電形の第1の半導体層と、第1の半導体層上にメサ構造により設けられた、第2導電形の第2の半導体層、第1導電形の第3の半導体層と、第2導電形の第4の半導体層と、第1の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極と、第4の半導体層上に設けられた第3の電極とを備える面発光サイリスタにおいて、第4の半導体層のシート抵抗値

を、第1の半導体層のシート抵抗値以下としたことを特徴とする。

【0020】上記面発光ダイオードおよび面発光サイリスタにおいては、第1導電形をP形とし、第2導電形をN形とするのが好適である。

【0021】また本発明は、スイッチング動作のためのしきい電圧またはしきい電流の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の前記制御電極をその近傍に位置する少なくとも1つのスイッチ素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各スイッチ素子の制御電極に電源ラインを負荷抵抗を介して接続し、かつ各スイッチ素子にクロックパルスラインを接続して形成したスイッチ素子アレイと、発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、前記発光素子アレイの各制御電極を前記スイッチ素子の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を供給する配線を設けた自己走査型発光装置において、前記発光素子およびスイッチ素子は、それぞれ、上記面発光サイリスタよりなることを特徴とする。

【0022】また本発明の自己走査型発光装置は、前記スイッチ素子アレイと前記発光素子アレイとを、略平行に、かつ略直線状に配列し、前記各スイッチ素子の第1の電極および前記各発光素子の第1の電極を、前記スイッチ素子アレイと前記発光素子アレイとの間に設けられた共通の1本の接地配線より構成するのが好適である。

【0023】さらに本発明の自己走査型発光装置は、前記電流供給配線に接続される第1のボンディングパッドと、前記接地配線に接続される第2のボンディングパッドとを備え、前記第1および第2のボンディングパッドを、前記発光素子アレイの配列方向両端に設けるのが好適である。

【0024】また本発明の自己走査型発光装置は、発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列し、各発光素子の前記制御電極をその近傍に位置する少なくとも1つの発光素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各発光素子に電源ラインを負荷抵抗を介して前記制御電極に接続し、かつ各発光素子にクロックラインを接続して形成した自己走査型発光装置において、前記発光素子は、上記面発光サイリスタよりなることを特徴とする。

【0025】

【発明の実施の形態】

【0026】

【実施例1】図3は、図2の面発光ダイオードの改良を説明するための図である。基本構成は図2と全く同じである。すなわち、絶縁GaAs基板10上にP形AlGaAs層11およびN形AlGaAs層12が設けら

れ、N形層12上にカソード電極13が、P形層11上にアノード電極14が設けられている。

【0027】本実施例の面発光ダイオードでは、N形半導体層12およびP形半導体層11のサイズおよび不純物濃度を調整することによって、半導体層内の横方向電流に伴う抵抗値（シート抵抗値）を制御することによって、電流の分布を変えることができる。

【0028】図3に示すように、カソード電極13直下よりアノード電極14に至るシート抵抗回路を考えた場合、N形半導体層12のシート抵抗値を R_N 、P形半導体層11のシート抵抗値を R_P とすると、シート抵抗値 R_N 、 R_P は前述したように、N形半導体層12、P形半導体層11のサイズおよび不純物濃度で定まる。一例として、N形層12の厚さを $0.5 \sim 2 \mu\text{m}$ 、不純物濃度を 10^{18}cm^{-3} 、P形層11の厚さを $0.5 \sim 2 \mu\text{m}$ 、不純物濃度を 10^{19}cm^{-3} とすると、シート抵抗値 R_N とシート抵抗値 R_P はほぼ等しくなる。その結果、カソード電極13からアノード電極14への電子の流れ、すなわちアノード電極14からカソード電極13への電流の流れは、ほぼ均等に広がる。したがって、半導体層のシート抵抗値を調整しない場合に比べて、外部発光効率を高める（約50%）ことができた。

【0029】さらに、シート抵抗値 R_N をシート抵抗値 R_P よりも小さくすると、図4に示すように、電流が端に集中するので、さらに外部発光効率上がる。

【0030】以上の実施例では、絶縁基板上にP形半導体層およびN形半導体層の順序で積層された構造について説明したが、N形半導体層およびP形半導体層の順序で積層された構造であってもよい。この場合、不純物濃度の設定の点からは、N形半導体のシート抵抗値をP形半導体のシート抵抗値よりも小さくすることの方が容易である。したがって、図4に示した電流分布を得るには、絶縁基板上にP形半導体層およびN形半導体層の順序で積層された構造とするのが好適である。

【0031】また、以上の実施例では、絶縁基板上に直接にPN構造を形成しているが、基板の直上の半導体層の結晶性の悪さから、デバイスとしての特性が劣化する場合がある場合には、前記直上の半導体層と同一の導電形の半導体層を設け、この上にPN接合を形成してもよい。

【0032】以上の実施例では、ヘテロ接合構造の面発光ダイオードについて説明したが、ダブルヘテロ構造、ホモ接合構造、量子井戸構造を含む面発光ダイオードにも適用できる。

【0033】

【実施例2】図5は、本発明を面発光サイリスタに適用した例を示す図である。この実施例によれば、絶縁GaAs基板31上に、GaAsまたはAlGaAsよりなるP形半導体層32、N形半導体層33、P形半導体層34、N形半導体層35が順に積層されている。N形層

35上にカソード電極36、P形層34上にゲート電極、P形層32上にアノード電極38が設けられている。カソード電極36真下よりアノード電極38に至るシート抵抗回路を考えた場合、N形層35のシート抵抗値を R_N 、P形層32のシート抵抗値を R_P とすると、シート抵抗値 R_N 、 R_P はN形半導体層35、P形半導体層32のサイズおよび不純物濃度で定まる。一例として、N形層35の厚さを $0.5 \sim 2 \mu\text{m}$ 、不純物濃度を 10^{18}cm^{-3} 、P形層32の厚さを $0.5 \sim 2 \mu\text{m}$ 、不純物濃度を 10^{19}cm^{-3} とすると、シート抵抗値 R_N はシート抵抗値 R_P よりも小くなる。その結果、図6に示すように電流が端に集中するので、外部発光効率が上がる。

【0034】以上の実施例は、絶縁基板上に、順にP形、N形、P形、N形の半導体層を積層した面発光サイリスタを説明したが、絶縁基板上に、順にN形、P形、N形、P形の半導体層を積層した面発光サイリスタとすることもできる。但し、不純物濃度の設定の点からは、前者の方が製造が容易である。

【0035】また、以上の実施例では、絶縁基板上に直接にPNPN構造を形成しているが、基板の直上の半導体層の結晶性の悪さから、デバイスとしての特性が劣化するおそれがある場合には、前記直上の半導体層と同一の導電形の半導体層を設け、この上にPNPN構造を形成してもよい。

【0036】

【実施例3】実施例2の面発光サイリスタを用いた自己走査型発光装置について説明する。図7に、この自己走査型発光装置の等価回路図を示す。この自己走査型発光装置は、シフトレジスタを構成するスイッチ素子アレイT(-1)~T(2)、書き込み用発光素子アレイL(-1)~L(2)からなる。隣接するスイッチ素子のゲート電極間は、ダイオード D_{-1} 、 D_0 、 D_1 を用いて接続している。スイッチ素子の各アノード電極は交互に転送クロックライン ϕ_1 、 ϕ_2 に接続されている。スイッチ素子のゲート電極 $G_{-1} \sim G_1$ は、負荷抵抗 R_L を介して電源電圧 V_{GK} に接続されるとともに、書き込み用発光素子のゲートにも接続される。書き込み用発光素子のアノード電極には、書き込み信号 S_{in} が加えられている。初段のスイッチ素子のゲート電極には、スタートパルス ϕ_s が印加され、スイッチ素子がオン状態にされる。

【0037】スイッチ素子および発光素子には、本発明の面発光サイリスタを用いる。いま、スイッチ素子T(0)がオン状態にあるとすると、ゲート電極 G_0 の電圧は、電源電圧 V_{GK} (ここでは5ボルトとする)より低下し、ほぼ零ボルトとなる。したがって、書き込み信号 S_{in} の電圧が、PN接合の拡散電位(約1ボルト)以上であれば、発光素子L(0)の発光状態とすることができる。

【0038】これに対し、ゲート電極 G_{-1} は約5ボルトであり、ゲート電極 G_1 は約1ボルト(ダイオード D_0 の順方向立上り電圧)となる。したがって、発光素子L(-1)の書き込み電圧は約6ボルト、発光素子L(1)の書き込み電圧は約2ボルトとなる。これから、発光素子L(0)のみに書き込める書き込み信号 S_{in} の電圧は、1~2ボルトの範囲となる。発光素子L(0)がオン、すなわち発光状態に入ると、書き込み信号 S_{in} ラインの電圧は約1ボルトに固定されてしまうので、他の発光素子が選択されてしまう、というエラーは防ぐことができる。

【0039】発光強度は書き込み信号 S_{in} に流す電流量で決められ、任意の強度にて画像書き込みが可能となる。また、発光状態を次の発光素子に転送するためには、書き込み信号 S_{in} ラインの電圧を一度零ボルトまでおとし、発光している発光素子をいったんオフにしておく必要がある。

【0040】図8は、1つの発光素子Lと、この発光素子に接続されるスイッチ素子TおよびダイオードDの簡略化した構成断面図を示す。絶縁GaAs基板20上にN形半導体層24が積層されている。発光素子Lは、N形半導体層24と、この上に島状に積層されたP形半導体層23、N形半導体層22、P形半導体層21により形成される。P形半導体層21上にはアノード電極26が設けられ、N形半導体層22上にはゲート電極27が設けられている。

【0041】一方、スイッチ素子TおよびダイオードDは、N形半導体層24と、この上に島状に積層されたP形半導体層23、N形半導体層22、P形半導体層21a、21bにより形成される。半導体層21aと21bとは層22上で2つの島に分離されており、半導体層21aはスイッチ素子の一部を、半導体層21bはダイオードの一部を構成する。半導体層21a上にはアノード電極28が設けられ、半導体層22上には、半導体層21a、21bを挟むようにして2つのゲート電極29a、29bが設けられている。これら2つのゲート電極は、下側の半導体層22を介して電氣的に接続されている。

【0042】スイッチ素子アレイと発光素子アレイとの間には、ストライプ状のグラウンド(GND)電極41が設けられている。このGND電極は、スイッチ素子Tおよび発光素子Lの共通のカソード電極となる。GND電極の材料は、下側半導体層24がN形であるので、オーミック接触するAuGeNiとするのが好適である。また、下側半導体層がP形の場合には、AuZnとするのが好適である。

【0043】スイッチ素子Tの一方のゲート電極29bは、負荷抵抗 R_L を介して電源電圧 V_{GK} に接続され、ダイオードDのアノード層21bは次段のゲート電極29bに接続される。スイッチ素子Tのアノード電極28

は、転送のロックライン ϕ_1 または ϕ_2 に接続される。スイッチ素子Tの他方のゲート電極29aは、配線42により発光素子Lのゲート電極27に接続される。発光素子Lのアノード電極26は、書き込み信号 S_{in} に接続される。

【0044】図9は、図7の自己走査型発光装置が形成されたチップの概略を示す平面図である。図中、43はGND取出しパッドであり、44は S_{in} 信号取出しパッドである。GND取出しパッド43はGND配線41に接続され、 S_{in} 信号取出しパッド44は配線45を介して、各発光素子のアノード電極26に接続されている。なお、図7と同一の要素には同一の参照番号を付して示してある。

【0045】GND配線41を、スイッチ素子アレイと発光素子アレイとの間に設けるのは、以下の理由による。図8からもわかるように、スイッチ素子Tと発光素子LとはGaAs基板1およびN形半導体層24を介して電氣的に接続されている。したがって、発光素子またはスイッチ素子の電位変動が相互に影響しないようにするためである。

【0046】図7～図9に示した自己走査型発光装置では、絶縁基板20上に、順にN形、P形、N形、P形の半導体層を積層した構造を用いているが、基板の導電形をP形とし、P形基板上に、順にP形、N形、P形、N形の半導体層を積層した構造を用いることもできる。前述したように、スイッチ素子Tおよび発光素子Lに本発明の面発光サイリスタを使用する場合には、不純物濃度の設定の点からは、後者の方が好適である。

【0047】また、図9に示したように、GND取出しパッド43および S_{in} 信号取出しパッド44は、チップの左右両端にそれぞれ設けられている。左右両端に設けるのは、以下の理由による。すなわち、GND配線41および S_{in} 信号配線45には、配線抵抗が存在する。図10に発光素子アレイに対するGND配線41および S_{in} 信号配線45の配線抵抗分布を示す。 R_{GND} はGND配線の分布抵抗を、 R_{in} は S_{in} 信号配線の分布抵抗を示す。

【0048】前述したように自己走査型発光装置では、発光サイリスタは自己走査により発光点が順次移動していく。発光している1つのサイリスタに注目した場合、電流は S_{in} 信号パッド43から発光サイリスタのアノード電極、カソード電極を経て、GNDパッド43に流れる。この電流経路中の配線抵抗の総和は、どのサイリスタが発光していても同じである。したがって、発光するサイリスタに流れる電流は等しくなる。発光サイリスタの発光量は、流れる電流により決まるから、全発光サイリスタを通じて均一の光を発することができ、発光ムラが生じないという利点がある。

【0049】

【実施例4】本発明の面発光サイリスタを適用できる自

己走査型発光装置の他の例を示す。本実施例は、複数の発光素子を同時に発光できるようにした発光装置である。この自己走査型発光装置の等価回路図を、図11に示す。

【0050】図7の回路と異なるのは、発光素子を3つずつのブロックとし、1ブロック内の発光素子は1つのスイッチ素子によって制御し、かつ1ブロック内の発光素子にそれぞれ別々の書き込み信号ライン S_{in1} 、 S_{in2} 、 S_{in3} を接続して、発光素子の発光を制御した点である。図中、発光素子 $L_1(-1)$ 、 $L_2(-1)$ 、 $L_3(-1)$ 、発光素子 $L_1(0)$ 、 $L_2(0)$ 、 $L_3(0)$ 、発光素子 $L_1(-1)$ 、 $L_2(-1)$ 、 $L_3(-1)$ 等が、ブロック化された発光素子を示している。

【0051】動作は図7の回路と同じで、1素子ずつ S_{in} によって発光が書き込まれていたものが、同時に複数書き込まれ発光し、それがブロックごとに転送するようになったものである。

【0052】いま、LEDプリンタ等の一般的に知られる光プリンタ用の光源として、この発光装置を用いることを考えると、A4の短辺(約21cm)相当のプリントを16ドット/mmの解像度で印字するためには約3400ビットの発光素子が必要になる。

【0053】実施例1にて説明してきた発光装置では、発光しているポイントは常に一つで、上記の場合ではこの発光の強度を変化させて画像を書き込むことになる。これを用いて光プリンタを形成すると、通常使用されている光プリンタ用LEDアレイ(これは画像を書き込むポイントに位置するLEDが、同時に発光するよう駆動ICによって制御されている)に比べ、画像書き込み時に3400倍の輝度が必要となり、発光効率が同じならば3400倍の電流を流す必要がある。ただし発光時間は、逆に通常のLEDアレイに比べ1/3400となる。

【0054】しかし発光素子は、一般的に電流が増えると加速度的に寿命が短くなる傾向があり、いくらデューティが1/3400とはいえ従来のLEDプリンタに比べ、寿命が短くなってしまうという問題点を持っていた。

【0055】しかしながら本実施例によると、ビット総数が同じ条件で比較すると、この例では1ブロックに3素子が入っているため、実施例3の発光装置に比べて1素子の発光時間は3倍となる。したがって、オン状態の発光素子に流す電流は1/3でよく、実施例3に比べ長寿命化することが可能である。

【0056】本実施例では、1ブロックに3素子が含まれる場合を例示したが、この素子数が大きいほうが書き込み電流が小さくて済み、さらに長寿命化をはかることができる。

【0057】

【実施例5】本実施例は、特開平4-23367号公報に示された自己走査型発光装置であって、本発明の面発光サイリスタを適用できる1つの例である。

【0058】実施例の発光装置を図12に示す。図12においては、スイッチ素子アレイと発光素子アレイとが、上下に分けて記載されている。

【0059】まず、シフトレジスタ機能を有するスイッチ素子アレイについて説明する。S(-2)~S(2)は、スイッチ素子(PNPN構造を有するサイリスタ)である。 ϕ_1 、 ϕ_2 は、スイッチ素子アレイを駆動する転送クロックである。そして、CL₁は転送クロック ϕ_1 を供給されるクロックラインであり、CL₂は転送クロック ϕ_2 を供給されるクロックラインである。

【0060】各スイッチ素子S(-2)~S(2)のゲート電極G₋₁~G₂の間は、それぞれ結合用ダイオードD₋₂~D₁によって、接続されている。このようなダイオード結合方式を採用しているために、スイッチ素子アレイは2相の転送クロック ϕ_1 、 ϕ_2 にて情報の転送動作を行うことができる。

【0061】また、R_{A1}、R_{A2}は、それぞれ各スイッチ素子S(-2)~S(2)のアノードとクロックラインCL₁、CL₂のいずれか一方とを接続するアノード負荷抵抗である。このアノード負荷抵抗R_{A1}、R_{A2}は、各スイッチ素子S(-2)~S(2)のオン状態での電流量を制限するものである。各スイッチ素子S(-2)~S(2)のカソードはそれぞれ接地されている。

【0062】さらに、R_{L1}、R_{L2}は、それぞれ各スイッチ素子S(-2)~S(2)のゲートG₋₂~G₂と電源電圧V_{GK}の直流電源とを接続するゲートの負荷抵抗である。このゲート負荷抵抗R_{L1}、R_{L2}は、電源電圧V_{GK}の直流電源から各ゲートG₋₂~G₂に流れる電流量を制限するものである。そして、各ゲートG₋₂、G₀、G₂は、それぞれダイオードD₋₂、D₀、D₂のカソードに接続されている。

【0063】次に、発光素子アレイについて説明する。 ϕ_R は発光素子(発光サイリスタ)L(-2)、L(0)、L(2)への情報の書き込み許可/禁止を制御し、かつ書き込まれた状態をリセットするクロックである。そして、CL_Rはクロック ϕ_R を供給する電流供給ラインである。

【0064】またR_{A3}は、各発光素子L(-2)、L(0)、L(2)のアノードと電流供給ラインCL_Rとを接続するアノード負荷抵抗である。このアノード負荷抵抗R_{A3}は、各発光素子L(-2)、L(0)、L(2)のオン状態での電流量を制限するものである。そして、各発光素子L(-2)、L(0)、L(2)のカソードは、それぞれ接地されている。

【0065】さらにR_{L3}は、各発光素子L(-2)、L(0)、L(2)のゲートG₋₂、G₀、G₂と電源電圧V_{GK}とを接続するゲート負荷抵抗である。このゲ

ート負荷抵抗R_{L3}は、電源電圧V_{GK}の直流電源から、各ゲートG₋₂、G₀、G₂に流れる電流量を制限するものである。そして、各ゲートG₋₂、G₀、G₂は、それぞれダイオードD₋₂、D₀、D₂のアノードに接続されている。

【0066】すなわち、図12においては、スイッチ素子S(-2)、S(0)、S(2)のゲートが、それぞれダイオードD₋₂、D₀、D₂を介して、発光素子L(-2)、L(0)、L(2)のゲートG₋₂、G₀、G₂に個々に接続されている。

【0067】次に、スイッチ素子アレイの部分の動作を説明する。今、スタートパルス ϕ_s として、ハイレベルまたはローレベルの電圧がスイッチ素子S(-3)のアノード(図示せず)に供給されたとする。この場合に、ハイレベルの電圧が、電源電圧V_{GK}に拡散電位V_{diff}を加えた電圧以上に高ければ、スイッチ素子S(-3)はオン状態になる。そして、次に供給されるスタートパルス ϕ_s のローレベルの電圧が、スイッチ素子S(-3)のオン状態維持電圧より低ければ、S(-3)はオフ状態となる。

【0068】オン状態では、スイッチ素子S(-3)のゲート電位はほぼ零ボルトとなり、オフ状態ではゲート電圧は電源電圧V_{GK}と同じ電圧になる。スイッチ素子S(-3)のゲート電位が零ボルトになれば、結合用ダイオードD₋₃(図示せず)によって、スイッチ素子S(-2)のゲート電位が低下する。そして、スイッチ素子S(-2)のターンオン電圧も低下する。したがって、転送クロック ϕ_2 によって、スイッチ素子S(-2)をオン状態に設定することができる。

【0069】このオン状態は ϕ_1 、 ϕ_2 によって順次、図12の右方向へ転送されていく。つまり、スタートパルス ϕ_s のハイレベルの電圧によって、スイッチ素子アレイにオン状態が書き込まれ、それが順次右方向へ転送されていくことになる。

【0070】ただし、全てのビットがオン状態にある場合に、このオン状態を転送することは、このスイッチ素子アレイの動作原理上から不可能であって、1ビットおきにオンとオフを繰り返して転送することになる。すなわち、スタートパルス ϕ_s の波形も、転送パルス ϕ_1 、 ϕ_2 に同期して、ハイレベルとローレベルとを交互に送る必要がある。

【0071】今、偶数ビットのみのオン状態とオフ状態に有効な情報があるものとして、オン状態を1、オフ状態を0とすると、スタートパルス ϕ_s によって1または0が書き込まれ、転送クロック ϕ_1 、 ϕ_2 によって、その1、0が転送されて行くことになる。このようにして、1または0という信号(情報)がスイッチ素子アレイに書き込まれる。

【0072】次に、発光素子L(-2)(L(0)、L(2))の動作について説明する。仮に、L(-2)が

0であるとする、クロック ϕ_R の電圧が零ボルトであれば、発光素子L(-2)はオン状態とはならない。すなわち、発光素子L(-2)は書き込み禁止の状態に設定される。クロック ϕ_R の電圧が、発光素子L(-2)のオン状態維持電圧から $V_{GK} + V_{dif}$ の間の電圧に設定されたとする、発光素子L(-2)は書き込み許可の状態に設定される。そして、ゲート G_{-2}' の電位が変化させられることによって、発光素子L(-2)はオン状態に設定可能となる。

【0073】さて、スイッチ素子アレイから発光素子アレイへの情報の書き込みについて説明する。スイッチ素子アレイは、前述したように1または0信号が書き込まれる。最後のビットまで書き込まれた段階で、転送クロック ϕ_1 、 ϕ_2 をそれぞれローレベル、ハイレベルの状態に維持される。これによって、情報の転送動作が終了し、スイッチ素子アレイに書き込まれた情報は保持される(特に、偶数ビットにおいて保持されている)。

【0074】スイッチ素子アレイの偶数ビットにおいて、オン状態のスイッチ素子Sのゲート電位はほぼ零ボルトであり、オフ状態のスイッチ素子Sのゲート電位は、 V_{dif} の約2倍以上である。なお、オフ状態のスイッチ素子Sのゲート電位については、転送方向に対して逆方向に位置する最も隣接する偶数ビットがオン状態の場合に V_{dif} の約2倍であり、それ以外は V_{dif} の約2倍の電圧よりも大きくなる。なお、ここで V_{dif} はPN接合の拡散電位である。

【0075】スイッチ素子S(-2)、S(0)、S(2)のそれぞれのゲート電圧は、ダイオード D_{-2}' 、 D_0' 、 D_2' によって対応する発光素子L(-2)、L(0)、L(2)のゲート G_{-2}' 、 G_0' 、 G_2' に伝達される。したがって、発光素子L(-2)、L(0)、L(2)のゲート電圧は、オン状態の場合で V_{dif} となり、オフ状態の場合で V_{dif} の3倍以上となる。そしてオン状態の場合で、発光素子のターンオン電圧は V_{dif} の2倍となり、オフ状態で V_{dif} の4倍となる。

【0076】一方、クロック ϕ_R については、いったん零ボルトに設定して全体の発光をなくし(すなわち、リセット)、その後ハイレベル電位 V_{HR} まで上昇させる。この電圧 ϕ_{HR} として、

$$2V_{dif} < V_{HR} < 4V_{dif}$$

の範囲に設定されていると、オン状態のスイッチ素子Sに対応する発光素子Lがオン状態となり、オフ状態のスイッチ素子Sの対応する発光素子Lはオフ状態のままになる。

【0077】したがって、スイッチ素子アレイに書き込まれた1、0の情報が、そのまま発光素子アレイに書き込まれることになる。

【0078】この後、電圧 V_{HR} は発光素子のオン状態維持電圧以上であって V_{dif} の2倍の電圧未満の値に再設

定される。このことにより、発光素子Lは、スイッチ素子Sのゲート電位に影響されなくなり、書き込まれた情報を保持し続ける。そして、発光素子アレイが情報の保持状態にある間に、前述と同様に、スイッチ素子アレイには次の情報が書き込まれる。

【0079】やがて、クロック ϕ_R がローレベル電圧に設定されて、各発光素子Lがリセットされる。リセット後、再び情報が発光素子アレイに書き込まれる。以上のようにして、一連の動作が繰り返行われる。

【0080】次に図12に示す発光装置を、光プリンタ用の書き込み光源に適用した場合について述べる。

【0081】例えば、発光装置が2048ビットの発光素子Lを有するものとする、スイッチ素子Sはその倍の4096ビットを必要とする。光プリンタにおける書き込み光源の電流量は約5mAであるから、全てのビットの発光素子Lが発光状態であるとする、約10Aという電流が流れる。

【0082】一方、スイッチ素子Sからの情報転送のための電流は、ゲート負荷抵抗 $R_{L3} = 30k\Omega$ の場合に0.5mAであることが実験的にわかっている、全てのビットの発光素子が発光状態であれば、1A程度である。なお、この情報転送のための電流量は、光プリンティングに必要な10Aに比べ1割程度であり、実用上問題のない値である。

【0083】また、スイッチ素子Sからの情報が、発光素子Lに移動させられた段階でクロック ϕ_1 、 ϕ_2 の電圧を一旦零ボルトに低下させることにより、スイッチ素子アレイ全体がオフ状態となりリセットが行われる。この方法を用いた場合には、スイッチ素子Sがオン状態になる時間が考慮されると、等価的に電流値が下がることとなる。つまり、前述の1Aに比べて等価的に0.5A程度まで下がったことになる。

【0084】発光素子Lの2048ビットに対して、スタートパルス ϕ_s が供給されるデータ入力端(図示せず)が1つだけでは、情報の転送速度はかなり高速であることが必要である。この点については、データ入力端を複数設けることによって、情報の転送速度を低下させることができる。例えば、通常64ビットまたは128ビットを一単位として発光素子Lのチップが形成され、このチップごとに情報が入力されてもよい。

【0085】128ビットごとにデータ入力を並列に行った場合、2048ビットに対して20個のデータ入力端を有することになる。このため、情報の転送速度は1/20でよいことになる。したがって、発光装置は余裕のある動作を行うことができる。

【0086】なお、発光素子Lの出力光の光量のばらつきを防ぐために、アノード負荷抵抗 R_{A3} をレーザ等により微調整することが可能である。このことによって、出力光のばらつきのない発光装置を得ることができる。

【0087】また、図12では、スイッチ素子アレイに

おける偶数ビットの右側に接続される結合用ダイオード D_{-2} 、 D_0 の特性と、奇数ビットの右側に接続される結合用ダイオード D_{-1} 、 D_1 の特性とが異なっている。したがって、偶数ビットと奇数ビットとで動作電流等を分けて最適化することが重要である。このために、 $R_{L2} < R_{L1}$ 、 $R_{A1} < R_{A2}$ に設定するほうが望ましく、この場合には発光装置はより安定で高速な動作を行い得る。

【0088】さらに、図12では、ダイオード結合方式と呼ばれる構成を採用しているが、結合方式はこれに限られず、抵抗結合方式であってもよい。

【0089】

【実施例6】図13は、本発明の面発光サイリスタを適用できる自己走査型発光装置の他の例を示す図である。

この自己走査型発光装置は、実施例3の自己走査型発光装置とは異なり、シフトレジスタを有していない。発光素子として、面発光サイリスタ $T(-2) \sim T(+2)$ を用い、面発光サイリスタ $T(-2) \sim T(+2)$ には、各々ゲート電極 $G_{-2} \sim G_{+2}$ が設けられている。各々

$$V_{G0} < V_{G1} = V_{G-1} < V_{G2} = V_{G-2}$$

これらの電圧の差は、負荷抵抗 R_L 、結合用抵抗 R_I の値を適当に選択することにより設定することができる。

【0092】3端子サイリスタのアノード側のターンオン電圧 V_{ON} は、ゲート電圧よりPN接合の拡散電位 V_{dif} だけ高い電圧となることが知られている。

$$V_{ON} \approx V_G + V_{dif} \quad (2)$$

したがって、アノードにかける電圧をこのターンオン電圧 V_{ON} より高く設定すれば、その発光サイリスタはオンすることになる。

【0094】さてこの面発光サイリスタ $T(0)$ がオンしている状態で、次の転送クロックパルス ϕ_1 にハイレベル電圧 V_H を印加する。このクロックパルス ϕ_1 は面発光サイリスタ $T(+1)$ と $T(-2)$ に同時に加わるが、ハイレベル電圧 V_H の値を次の範囲に設定すると、面発光サイリスタ $T(+1)$ のみをオンさせることができる。

【0095】

$$V_{G-2} + V_{dif} > V_H > V_{G+1} + V_{dif} \quad (3)$$

これで面発光サイリスタ $T(0)$ 、 $T(+1)$ が同時にオンしていることになる。そしてクロックパルス ϕ_3 のハイレベル電圧を切ると、面発光サイリスタ $T(0)$ がオフとなりオン状態の転送ができたことになる。

【0096】このように、本実施例では抵抗ネットワークで各面発光サイリスタのゲート電極間を結ぶことにより、面発光サイリスタに転送機能をもたせることが可能となる。

【0097】上に述べたような原理から、転送クロック ϕ_1 、 ϕ_2 、 ϕ_3 のハイレベル電圧を順番に互いに少しずつ重なるように設定すれば、発光サイリスタのオン状態は順次転送されていく。すなわち、発光点が順次転送され、自己走査型発光装置を実現することができる。

のゲート電極には、負荷抵抗 R_L を介して電源電圧 V_{GK} が印加される。また、各々のゲート電極 $G_{-2} \sim G_{+2}$ は、相互作用を作るために結合用抵抗 R_I を介して電氣的に接続されている。また、各単体発光サイリスタのアノード電極に、3本の転送クロックライン (ϕ_1 、 ϕ_2 、 ϕ_3) が、それぞれ3素子おきに (繰り返されるように) 接続される。

【0090】動作を説明すると、まず転送クロック ϕ_3 がハイレベルになり、面発光サイリスタ $T(0)$ がオンしているとする。このとき3端子サイリスタの特性から、ゲート電極 G_0 は零ボルト近くまで引き下げられる。電源電圧 V_{GK} を仮に5ボルトとすると、負荷抵抗 R_L 、結合用抵抗 R_I のネットワークから各面発光サイリスタのゲート電圧が決まる。そして、面発光サイリスタ $T(0)$ に近い素子のゲート電圧が最も低下し、以降順に $T(0)$ から離れるにしたがいゲート電圧は上昇していく。これは次のように表せる。

【0091】

(1)

【0098】

【実施例7】図14は、実施例6において結合用抵抗に代えて、ダイオードを用いた自己走査型発光装置を示す図である。

【0099】本実施例の自己走査型発光装置では、面発光サイリスタ $T(-2) \sim T(+2)$ は、一列に並べられた構成となっている。 $G_{-2} \sim G_{+2}$ は、面発光サイリスタ $T(-2) \sim T(+2)$ のそれぞれのゲート電極を表す。 R_L はゲート電極の負荷抵抗を表し、 $D_{-2} \sim D_{+2}$ は電氣的相互作用を行うダイオードを表す。また V_{GK} は電源電圧を表す。各単体面発光サイリスタのアノード電極に、2本の転送クロックライン (ϕ_1 、 ϕ_2) がそれぞれ1素子おきに接続される。

【0100】動作を説明する。まず転送クロック ϕ_2 がハイレベルとなり、面発光サイリスタ $T(0)$ がオンしているとする。このとき3端子サイリスタの特性からゲート電極 G_0 は零ボルト近くまで引き下げられる。電源電圧 V_{GK} を仮に5ボルトとすると、抵抗 R_L 、ダイオード $D_{-2} \sim D_{+2}$ のネットワークから各発光サイリスタのゲート電圧が決まる。そして発光サイリスタ $T(0)$ に近い素子のゲート電圧が最も低下し、以降順に $T(0)$ から離れるにしたがいゲート電圧は上昇していく。

【0101】しかしながら、ダイオード特性の一方方向性、非対称性から、電圧を下げる効果は、 $T(0)$ の右方向にしか働かない。すなわちゲート電極 G_1 は G_0 に対し、ダイオードの順方向立ち上がり電圧 V_{dif} (PN接合の拡散電位に等しい) だけ高い電圧に設定され、ゲート電極 G_2 は G_1 に対し、さらにダイオードの順方向立ち上がり電圧 V_{dif} だけ高い電圧に設定される。一方、 $T(0)$ の左側のゲート電極 G_{-1} はダイオード D_{-1} が逆バイアスになっているため電流が流れず、したがっ

て電源電圧 V_{GK} と同電位となる。

【0102】次の転送クロックパルス ϕ_1 は、最近接の発光サイリスタ $T(1)$ 、 $T(-1)$ 、そして $T(3)$ および $T(-3)$ 等に印加されるが、これらのなかで、最もターンオン電圧の最も低い素子は $T(1)$ であり、 $T(1)$ のターンオン電圧は約 G_1 のゲート電圧 $+V_{dif}$ であるが、これは V_{dif} の約2倍である。次にターン電圧の低い素子は $T(3)$ であり、 V_{dif} の約4倍である。 $T(-1)$ と $T(-3)$ のオン電圧は、約 $V_{GK}+V_{dif}$ となる。

【0103】以上から、転送クロックパルスのハイレベル電圧を V_{dif} の約2倍から V_{dif} の約4倍の間に設定しておけば、発光サイリスタ $T(1)$ のみをオンさせることができ、転送動作を行うことができる。

【0104】

【実施例8】本発明の自己走査型発光装置の応用例として光プリンタへの応用について述べる。従来、LEDアレイの各画素に駆動用ICを接続したモジュールを使って光プリンタへ応用した例が知られている。光プリンタの原理図を図15に示す。まず円筒形の感光ドラム61の表面にアモルファスSi等の光導伝性を持つ材料（感光体）が作られている。このドラムはプリントの速度で回転している。まず帯電器67で感光体表面を一樣に帯電させる。そして発光素子アレイ光プリントヘッド68で印字するドットイメージの光を感光体上に照射し、光の当たったところの帯電を中和する。次に現像器で感光体上の帯電状態に従って、トナーを感光体上に付ける。そして転写器62でカセット611中から送られてきた用紙69上にトナーを転写する。そしてその用紙は定着器63にて熱等を加えられ定着される。一方転写の終了したドラムは消去ランプ65で帯電が全面に渡って中和され、清掃器66で残ったトナーが除去される。

【0105】さて本発明による自己走査型発光装置を所定の実装基板上に直線状に一行に配列した発光素子アレイモジュールを光プリントヘッドに適用する。光プリントヘッドの構造を図16に示す。この光プリントヘッドは、発光素子アレイ612とロッドレンズアレイ613とで構成され、レンズの焦点が感光ドラム61上に結ぶようになっている。この発光素子アレイモジュールからの光で感光ドラムに画像情報を書き込むことができる。

【0106】本実施例によれば、この発光素子アレイモジュールのコストを従来よりはるかに低減できるため、低価格のプリントヘッド、低価格の光プリンタを提供することができる。

【0107】

【発明の効果】本発明によれば、外部発光効率の良い面発光素子を提供することが可能であり、このような面発光素子のうち面発光サイリスタを用いた自己走査型発光

装置は、外部発光効率が良い。さらには、このような自己走査型発光装置を用いて、光プリンタ用の低価格の光プリントヘッドを実現することができる。

【図面の簡単な説明】

【図1】メサ型のPNPN構造の従来の面発光サイリスタの断面図および平面図である。

【図2】従来の面発光ダイオードの断面図である。

【図3】本発明の面発光ダイオードの改良を説明するための図である。

【図4】図3の面発光ダイオードの電流分布を示す図である。

【図5】本発明の面発光サイリスタを示す図である。

【図6】図5の面発光サイリスタの電流分布を示す図である。

【図7】自己走査型発光装置の等価回路図である。

【図8】自己走査型発光装置における、1つの発光素子Lと、この発光素子に接続されるスイッチ素子TおよびダイオードDの簡略化した構成断面図である。

【図9】図7の自己走査型発光装置が形成されたチップの概略を示す平面図である。

【図10】発光素子アレイに対するGND配線および S_{in} 信号配線の配線抵抗分布を示す図である。

【図11】他の自己走査型発光装置の等価回路図である。

【図12】他の自己走査型発光装置の等価回路図である。

【図13】他の自己走査型発光装置の等価回路図である。

【図14】他の自己走査型発光装置の等価回路図である。

【図15】光プリンタ装置を示す図である。

【図16】発光素子モジュールとロッドレンズアレイとの組合せを示す図である。

【符号の説明】

T スイッチ素子

L 発光素子

ϕ_1 、 ϕ_2 転送用クロックパルス

V_{GK} 電源電圧

ϕ_s スタートパルス

S_{in} 書き込み信号

1 N形基板

10, 20, 31 絶縁基板

13 カソード電極

14, 26 アノード電極

11, 22, 24, 32, 34 P形半導体層

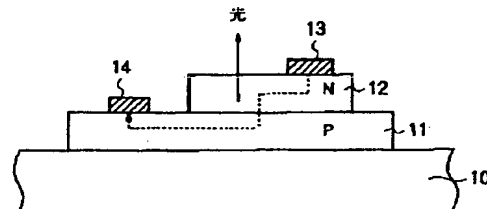
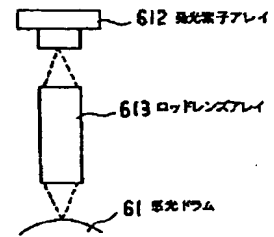
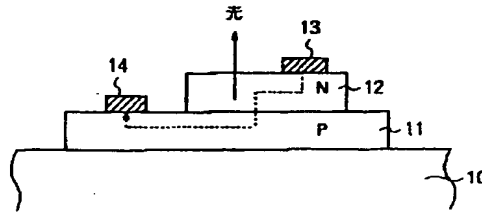
12, 21, 23, 33, 35 N形半導体層

38 アノード電極

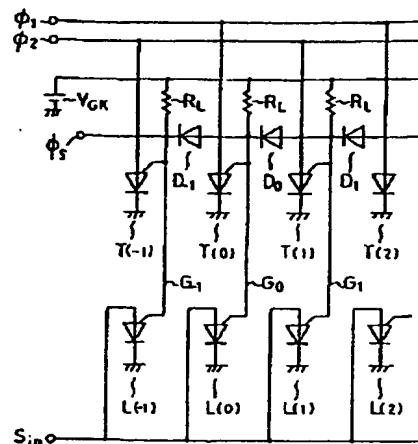
41 GND配線

【图2】

(a)



A cross-sectional view of a semiconductor device. It shows a substrate with a p-type layer (31) and an n-type layer (32). A resistor (R_p) is formed in the p-type layer. Above the resistor is a stack of layers: an n-type layer (33), a p-type layer (34), and another n-type layer (35). A resistor (R_N) is formed in the n-type layer (35). A contact pad (36) is on top of the n-type layer (35). A contact pad (37) is on top of the p-type layer (34). A contact pad (38) is on top of the n-type layer (33).



43

GND

R_{GND}

N

P

N

P

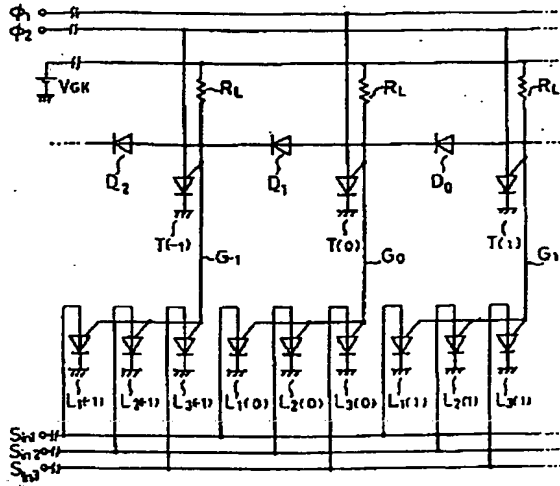
L

R_{Fn}

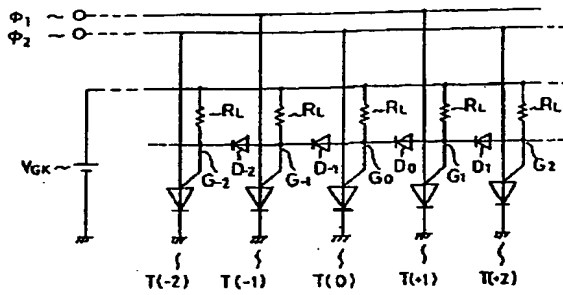
44

Sin

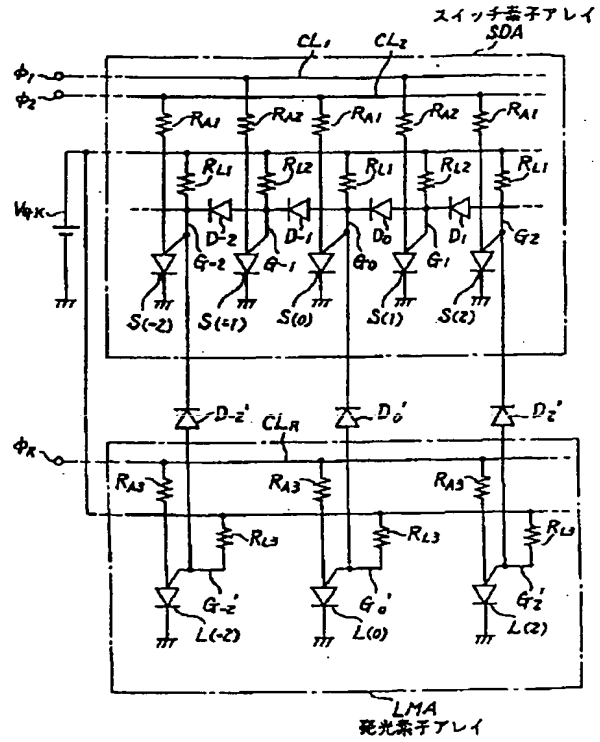
【図11】



【図14】



【図12】



【図15】

